

[Translation]

(19) Japan Patent Office (JP)

**(12) PATENT ISSUANCE REPORT (A)**

(11) Patent Application Release No.

**Patent Release Sho. 58-154254**

(43)Release date: September 13, 1983

(51) Int.Cl.<sup>3</sup>  
H 01 L 25/02

Identification Symbol

Office Control No.  
7638-5F

Examination requested: Not yet  
Items in Application: 1 (Total 4 pages)

---

(54) Name of Invention: Semiconductor Device

(21) Application No.: Patent Application Sho.57-36430

(22) Application date: March 10, 1982

(72) Inventor: Toshihiro Matsuda  
c/o Hitachi, Ltd.—Takasaki Plant  
111 Nishi-Yokote-cho  
Takasaki, [Gumma Pref., Japan]

(71) Applicant: Hitachi, Ltd.  
5-1 Marunouchi 1-chome  
Chiyoda-ku, Tokyo [Japan]

(74) Agent: Toshiyuki Usuda, Patent attorney

**Specifications**

**Name of Invention:** Semiconductor Device

**Scope of Patent Application:** A semiconductor device that is characterized by consisting of a 1<sup>st</sup> semiconductor chip formed on one main surface of one semiconductor base to make a circuit with a first function, and a 2<sup>nd</sup> semiconductor chip formed on a main surface of another semiconductor base to make a circuit with a 2<sup>nd</sup> function; and these two are connected via the terminals of their respective main surfaces so that the main surface faces each other, with the peripheral terminal(s) of the 1<sup>st</sup> semiconductor chip connected to an outside lead.

2. The semiconductor device described in Item 1 of Scope of Patent Application, in which the circuit in the first semiconductor chip is fabricated through a different process from the circuit in the second semiconductor chip.

3. The semiconductor device described in either Item 1 or Item 2 of Scope of Patent Application, in which are formed in the 1<sup>st</sup> semiconductor chip a semiconductor integrated circuit that includes a bipolar element and in the 2<sup>nd</sup> semiconductor chip a semiconductor integrated circuit that includes an MOS element.

---

### **Detailed Explanation of Invention**

This invention concerns a semiconductor device consisting of one composite circuit made up of several semiconductor chips having differing functions.

When a linear circuit consisting, for instance, of a bipolar element or a circuit for high voltage and circuit for low voltage or for memory consisting of an MOS element coexist on one semiconductor base, the total fabricating processes increase because of the common processes for the respective circuits and the differing processes for assembling them. Particularly when heat treatment processes are numerous, there are many problems, such as that one cannot get satisfactory properties, reliability declines and there are limitations on circuit and layout design. Also, when changing some circuits for other uses, an entire semiconductor circuit device must even be rebuilt.

This invention resolves the above-noted problems. Its aim is to provide a semiconductor device making one composite circuit of multiple circuits.

Below I will describe in detail the substance of this invention with application examples. In Figure 1 is shown one format of the semiconductor device before assembly. In the figure, 1 is semiconductor chip A, 2 is semiconductor chip B, which is flatter and smaller in dimension than chip A. On semiconductor chip A's main surface (upper surface in the figure) are made a semiconductor integrated circuit, a bipolar element that creates, for instance a linear circuit and terminals (bonding pads) 3 and 4. On semiconductor chip B's main surface (the under surface in the figure) are formed a semiconductor integrated circuit having another function, an MOS element making up, for instance, a dynamic

memory circuit and its wiring and terminal (bonding pad) 5. As shown in the figure, semiconductor chip B has its main surface facing the main surface of semiconductor chip A and, as shown, these are connected by solder 6 between connecting pads 3 and 5.

Semiconductor chip A is dimensionally larger than semiconductor chip B and has bonding wire 7 from its peripheral pad 4 as an electrical lead to outside lead 8. Semiconductor chips A and B can exchange electrical signals through facing connecting pads 3 and 5 and can be made to operate a composite circuit consisting of chips A and B by electrical inputs from external lead 8. Semiconductor chips A and B may be sealed, for example, by resin seal 9, or—as shown in Figure 5—may be sealed into ceramic package 10.

Figures 3(a)~(d) show one example of the fabricating processes for this invention:

- (a) On semiconductor base (wafer) 11 prepared for chip A is formed bipolar element 14 by making epitaxial layer 13 and imbedded layer 12 by ordinary bipolar processes and then effecting base and emitter dispersion, etc. On the other hand, on semiconductor base (wafer) 15 prepared for chip B is formed MOS element 17 by well-dispersion through an ordinary CMOS process, source and drain dispersion, forming an insulating gate, etc.
- (b) After forming the surface electrode(s), interlayer separator film, upper wiring, protective insulating film and terminals 3, 4 and 5, cutting is done to complete chips A and B.
- (c) After chip A is pellet-bonded on nob [? Text unclear- translator] 18, chip B is installed facing it; and chips A and B are connected electrically and mechanically through terminals 3 and 5.
- (d) Wire bonding of chip A's peripheral terminal (pad) 4 and lead 8 are done by wire 7. Then resin molding is done to complete seal 9 as shown in Figure 2.

Figure 4 shows in cross section the main parts of the completed semiconductor device. In lower chip A, 11 is a silicon semiconductor substrate and 12 is an imbedded layer. An element region—e.g., a bipolar transistor—is formed consisting of linear ICs, etc., in an isolated semiconductor layer. 20 is 1<sup>st</sup>-layer aluminum wiring, 21 is

2<sup>nd</sup>-layer aluminum wiring, 22 is an SiO<sub>2</sub> film, 23 is interlayer polyimide (or PSG) resin film and 24 is a surface-protector film. On upper chip B, 15 is a silicon semiconductor substrate, 16 is an element region made up of a dynamic MOSRAM on the substrate surface (down-facing) in a well, for instance making up a MOSFET. 25 is 1<sup>st</sup>-layer wiring, 27 is 2<sup>nd</sup>-layer wiring, 28 is interlayer insulating film and 29 is a surface-protecting film. 6 is solder connecting chip A and chip B terminals 3 and 5.

Figure 5 is the semiconductor device from this invention and is an example of a composite circuit made up of chips A and B assembled in a ceramic package. In this figure, 10 is the package itself, 30 is an outside lead, 31 is a glass seal, 32 a ceramic ring, 33 a metallized layer and 34 is a cover of metal or ceramic.

The above application example gives the following effects with this described invention:

- (1) Since circuits with differing power consumption and differing functions can be fabricated by quite separate processes, one can select optimal chip materials and can-without going through unneeded processes-form elements (circuits) in each chip with superior reliability in their traits.
- (2) Since the bonding pads (pins) for the IC's external lead are separately connected between chips A and B, there are no limitations for circuit design and layout design. Also, one can form just the needed number of pads for joining chips A and B without regard to the number of one IC's pins.
- (3) By making up the customary single IC with a dual upper and lower structure, the degree of integration per single IC is much improved for the surface used.
- (4) Particularly when forming a dynamic MOSRAM on chip B, one can prevent errors due to  $\alpha$  rays radiated from the ceramic package. I.e., the surface facing chip B's surface has on it a polyimide resin which will scarcely emit  $\alpha$  rays onto chip A; and chip B's main surface is constructed apart from the ceramic package that will easily emit  $\alpha$  rays so that it does not readily get  $\alpha$  rays from the package.

This invention is not limited to the afore-noted application examples.

For instance, in chip A one can use an isoplanar structure using a selectively oxidized layer.

As another application case, one can form an ultra-speed prescalar circuit in chip B and form a CMOSIC (controller) of ultra-low power consumption in Chip A.

This invention can be applied in all cases of assembling, within a single IC structure, circuits that are difficult to make up on the same substrate.

---

#### Simple Explanation of Figures

Figure 1 is an oblique diagram of when the semiconductor device from this invention is assembled.

Figure 2 is a plane diagram showing the basic structure of the semiconductor device from this invention.

Figures 3(a)~(d) are partial cross-sectional diagrams showing an example of the fabricating processes of the semiconductor device from this invention.

Figure 4 is a cross-sectional diagram of the main parts of the same when completed.

Figure 5 is a cross-sectional diagram showing another case of the semiconductor device from this invention.

- |                                  |                            |
|----------------------------------|----------------------------|
| 1 ... Semiconductor chip A       | 2 ... Semiconductor chip B |
| 3~5 ... Terminals (bonding pads) | 6 ... Solder               |
| 7 ... Bonding wire               | 8 ... External lead        |
| 9 ... Resin seal                 | 10... Ceramic package      |

Agent: Toshiyuki Usuda, Patent attorney

⑤Int. Cl.<sup>3</sup>  
H 01 L 25/02

⑥ 日本国特許庁 (JP)  
⑦ 公開特許公報 (A)

識別記号  
庁内整理番号  
7638-5F

⑧ 特許出願公開  
昭58-154254  
⑨ 公開 昭和58年(1983)9月13日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑩ 半導体装置

⑪ 特 願 昭57-36430  
⑫ 出 願 昭57(1982)3月10日  
⑬ 発 明 者 松田敏弘  
高崎市西横手町111番地株式会社

⑭ 出 願 人 社日立製作所高崎工場内  
株式会社日立製作所  
東京都千代田区丸の内1丁目5  
番1号  
⑮ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 半導体装置  
特許請求の範囲

1. 一つの半導体基体の一主面に第1の機能をもつ回路を形成した第1の半導体チップと、他の一つの半導体基体の一主面に第1とは異なる第2の機能をもつ回路を形成した第2の半導体チップとを各々の主面で対向させてそれら主面の端子を介して接続し、第1の半導体チップの周辺端子を通して外部リードに接続して成ることを特徴とする半導体装置。
2. 第1の半導体チップにおける回路と第2の半導体チップにおける回路は各々異なったプロセスを経て製造されたものである特許請求の範囲第1項に記載の半導体装置。
3. 第1の半導体チップにはバイポーラ素子を含む半導体集積回路を形成し、第2の半導体チップにはMOS素子を含む半導体集積回路を形成した特許請求の範囲第1項又は第2項に記載の半導体装置。

発明の詳細な説明

本発明は異なる機能をもつ複数の半導体チップにより一つの複合回路を構成した半導体装置に関する。

一つの半導体基体上に例えばバイポーラ素子からなるリニア回路、あるいは高電圧用回路と、MOS素子からなるメモリ、あるいは低電圧用回路を共存させる場合、それぞれの回路の共通プロセスと異なるプロセスを組合せて形成することから全体のプロセスの工数が増加し、特に熱処理工程が多くなって特性的にも満足が得られず、信頼性が低下し、又回路設計、レイアウト設計上にも制約がある等問題が多い。また、用途により一部の回路を変更する場合でも半導体回路装置全体を再製造しなければならない。

本発明は上記した問題を解決したもので、その目的は複数の回路を一つの複合回路に構成する半導体装置の提供にある。

以下本発明の内容を実施例にそって詳述する。  
第1図に本発明による半導体装置の組立前の一

形態が示される。同図において1は半導体チップA、2は半導体チップBで半導体チップAよりも平面的に小寸法である。半導体チップAの一主面(同図では上面)に一つの機能をもつ半導体集積回路、例えばリニア回路をつくるバイポーラ素子とその配線及び端子(ボンディングパッド)3、4が形成され、半導体チップBの一主面(同図では下面)に他の機能をもつ半導体集積回路、例えばダイナミック・メモリ回路をつくるMOS素子とその配線及び端子(ボンディングパッド)5が形成される。半導体チップBは同図に示すようにその主面を半導体チップAの主面と対向させ、第2図に示すように接続用パッド3、5間で半田6を介して接続される。半導体チップAは半導体チップBよりも大寸法とし、半導体チップAの周辺部のパッド4からボンディングワイヤ7を介して外部リード8に電気的に導出することができる。半導体チップAと半導体チップBとは対向する接続用パッド3、5を通じて電気信号の交換を行なうことができ、外部リード8よりの電流投入によ

リットボンディングした後、チップBを対向させてチップAとチップBを端子3、5を介して電気的にかつ機械的に接続する。

(d) チップAの周辺部端子(パッド)4とリード8との間をワイヤ7によりワイヤボンディングする。この後、樹脂モールドを行なって第2図に示すような封止体9を完成する。

第4図は完成した半導体装置における要部を断面図にて示すものである。下側のチップAにおいて、11はSi半導体基板、12は埋込層でアイソレーションされた半導体層にリニアIC等を構成する素子領域、例えばバイポーラトランジスタが形成されている。20は第1層A<sub>0</sub>配線、21は第2層A<sub>0</sub>配線、22はSiO<sub>2</sub>膜、23は層間のポリイミド系樹脂膜(又はPSG)、24は表面保護膜である。上側のチップBにおいて、15はSi半導体基板、16はウエルで基板表面(下向き)にはダイナミックMOSRAMを構成する素子領域、例えばMOSFETが形成されている。25は絶縁ゲート、26は第1層配線、27は第

2層配線、28は層間絶縁膜、29は表面保護膜である。6はチップA、チップBの端子3、5間を接続する半田である。

第5図は本発明による半導体装置の製造プロセスの一例を示す。

(a) チップAのために用意した半導体基板(ウェハ)11において通常のバイポーラプロセスにより埋込層12、エピタキシャル層13を形成し、ベース拡散、エミッタ拡散等を行なってバイポーラ素子14を形成する。一方、チップBのために用意した半導体基板(ウェハ)15において通常のCMOSプロセスによりウエル16拡散、ソース・ドレイン拡散、絶縁ゲート形成等を行なってMOS素子17を形成する。

(b) 表面の電極、層間絶縁膜、上部配線、保護絶縁膜及び端子3、4、5を形成後、カッティングを行ない、チップA、チップBを完成する。

(c) チップAをリードフレームのタブ18上にベ

2層配線、28は層間絶縁膜、29は表面保護膜である。6はチップA、チップBの端子3、5間を接続する半田である。

第5図は本発明による半導体装置であって、チップAとチップBとから成る複合回路をセラミックパッケージ内に組立てた例である。同図において、10はパッケージ本体、30は外部リード、31はガラス封止部、32はセラミックリング、33はメタライズ層、34は金属又はセラミックからなる蓋部である。

以上実施例で述べた本発明によれば下記の効果がもたらされる。

(1) 消費電力や機能の異なる回路を全く別なプロセスで製造できるものであるから、最適なチップ材料を選ぶことができ、かつ不要な工程を経ることがなく、各チップにおいて特性的にも信頼性の上でもすぐれた素子(回路)を形成できる。

(2) ICの外部リード用ボンディングパッド(ピン)とチップA、チップB間の接続が別々であるために回路設計、レイアウト設計上の制約がない。

又、1つのICのピン数とは無関係にチップA、B結合用のパッドを必要数だけ形成できる。

(3) 在来一つのチップに形成したICを上下2段構造とすることにより平面的には1つのICあたりの集積度が非常に向上する。

(4) 特にチップBにダイナミックMOSRAMを形成した場合にセラミックパッケージより放射する $\alpha$ 線による誤動作を防止することができる。すなわち、チップB面に対向する面はチップA上において $\alpha$ 線を放出し難いポリイミド樹脂を形成し、又チップB主面は $\alpha$ 線を放出しやすいセラミックパッケージ材より造る構造となりパッケージ材より放出した $\alpha$ 線の影響を受けにくい。

本発明は前記実施例に限定されない。

例えばチップAには選択酸化膜を利用したアイソプレーナ構造を用いることができる。

他の応用例として、チップBに超高速プリスケラ回路を形成し、チップAに超低消費電力CMOSIC(コントローラ)を形成することができる。

本発明は同一基板に実施することが困難な回路を1つのIC構造体に組立てる場合の全てに適用できる。

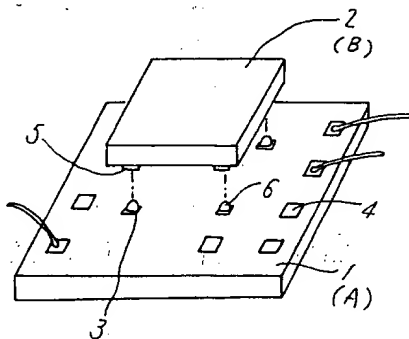
#### 図面の簡単な説明

第1図は本発明による半導体装置の組立時の斜断面図、第2図は本発明による半導体装置の原理的構造を示す正面図、第3図(a)~(d)は本発明による半導体装置の製造プロセスの例を示す一部工程断面図、第4図は同完成時の要部断面図である。第5図は本発明による半導体装置の他の例を示す断面図である。

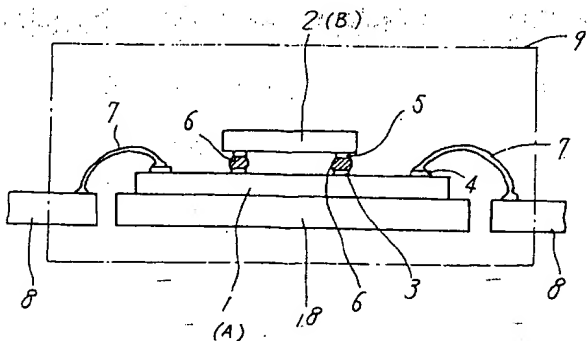
1…半導体チップA、2…半導体チップB、3…端子(ボンディングパッド)、4…半田、5…ボンディングワイヤ、6…外部リード、7…樹脂封止体、8…セラミックパッケージ。

代理人 弁理士 薄田利幸

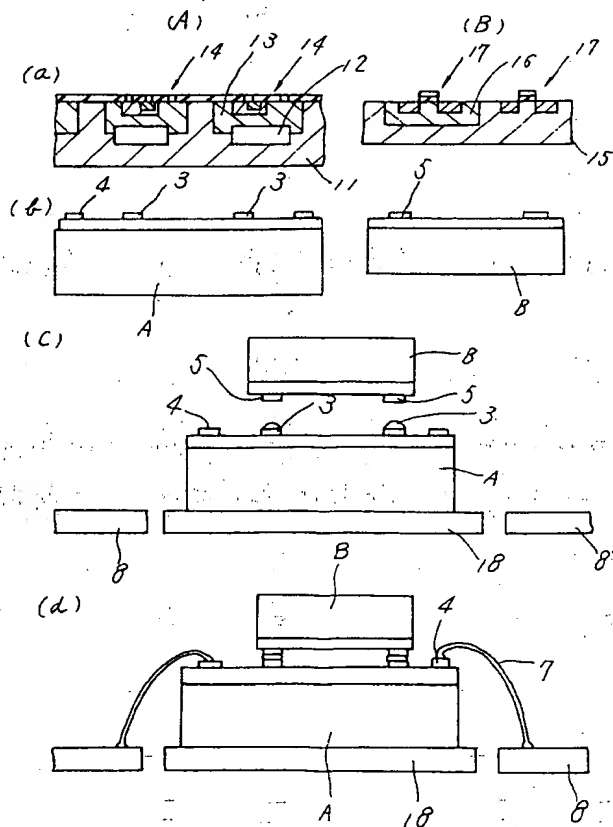
第1図



第2図

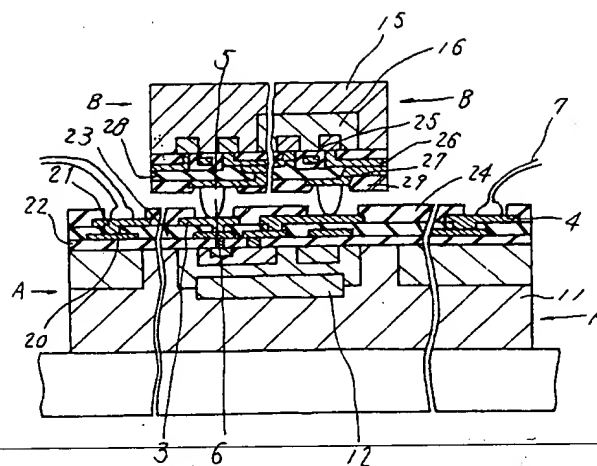


第3図





第 4 図



第 5 図

